

UNIVERSITATEA TEHNICA
"GHEORGHE ASACHI" DIN IASI



**PREDICTIA PERFORMATELOR UNOR CIRCUITE SI
DISPOZITIVE IN FUNCTIE DE PARAMETRI DE
PROIECTARE FOLOSIND ELEMENTE DE INTELIGENTA
ARTIFICIALA**

**(AI ENABLED PREDICTION OF DEVICE AND CIRCUIT
PERFORMANCES BASED ON DESIGN PARAMETERS)**

REZUMAT

Conducatori de doctorat:
prof. dr. ing. Liviu Goras
dr. rer. nat. Georg Pelz

Student:
Vasile Grosu

Cuprins

1. Introducere	3
1.1 Motivatie	3
1.2 Scopul tezei	4
1.3 Structura tezei	4
2. Fundamentare teoretica	6
2.1 Starea artei in automatizarea proiectarii circuitelor integrate	6
2.1.1 Proiectare/optimizarea circuitelor integrate	6
2.1.2 Verificarea circuite integrate analogice	9
2.1.3 Layout	9
2.2 Dezvoltarea de modele AI/ML folosind „active learning”	10
2. Metoda imbunatatita de a dezvolta modele pentru caracterizarea circuitelor integrate .	12
3.1 Descrierea metodei.....	12
3.2 Rezultate pe functii surogat	13
3.3 Rezultate pe circuite de test	17
3.4 Implementare „multi-raspuns”	20
3.5 Modelarea circuitelor cu un numar mare de variabile	22
3. Aplicatii folosind modele dezvoltate	25
4.1 Vizualizarea spatiului performantelor.....	25
4.2 Optimizarea performantelor	26
5. Concluzii	29
5.1 Contributii	30
5.2 Imbunatatiri	30
5.2 Publicatii	31
Bibliografie	32

1. Introducere

În prezent, reducerea accelerată a dimensiunii tranzistoarelor și creșterea capacității de integrare, a dus la creșterea complexității sistemelor electronice din domeniul automobilelor. Această complexitate împreună cu un număr mare de cerințe de siguranță, confort și funcții speciale fac ca proiectarea unor astfel de circuite să fie un proces complex și cu o durată mare de timp.

Pentru a îmbunătăți procesul de proiectare diverse unelte ce folosesc concepte de inteligență artificială și machine learning au apărut pe piață. O zonă de interes pentru cercetători și pentru companii este proiectarea asistată de inteligență artificială.

Această teză își propune îmbunătățirea unor aspecte din procesul de proiectare al circuitelor integrate, oferind posibilitatea construirii unor modele de machine learning ce ar prelua din funcțiile simulatorului, făcând predicții în ceea ce privește diferite performanțe ale circuitelor, în general acest proces fiind destul de costisitor în ceea ce privește timpul necesar rularii unei astfel de simulări.

Modele dezvoltate în teza au fost testate pe o serie de funcții surogat, definite manual și o serie de circuite de test pentru care se face predicția mai multor performanțe în baza parametrilor componentelor din circuit. În final modelele sunt validate fiind folosite în aplicații de optimizare și caracterizare al performanțelor.

1.1 Motivatia

În unele cazuri, folosirea simulatorului poate fi costisitoare în ceea ce privește resursa de timp. În anumite cazuri, unele simulări pot ajunge și la zeci de minute spre ore. Astfel pentru a evita situații în care timpul să fie un impediment major s-au dezvoltat aplicații și modele ce folosesc inteligență artificială pentru a complementa folosirea simulatorului. Rezultatele raportate în literatură acoperă o arie vastă de aplicații variind de la dimensionarea de componente, la verificarea circuitelor și în cele din urmă la generarea automată de layout.

1.2 Scopul tezei

În literatura, în majoritatea aplicațiilor nu se pune problema achiziției de simulări. Astfel, în dezvoltarea acestor modele menționate se poate achiziționa un set redundant de simulări rezultând într-un model ineficient. Scopul acestei teze este de a îmbunătăți procesul de achiziție al datelor/simularilor pentru a obține cel mai bun model pentru un număr de simulări dat sau modelul cu cele mai puține simulări necesare pentru o acuratețe dorită.

În acest sens s-au propus diverse scheme de dezvoltare a modelelor machine learning ce pot face predicții pentru performanțe de interes în funcție de valorile componentelor din circuitul respectiv. Implementările au fost comparate cu scheme de esantionare tradiționale, aleatorii și uniforme, în ambele cazuri având rezultate favorabile.

Ulterior, aceste modele vor fi folosite în aplicații cheie al procesului de dezvoltare al circuitelor integrate analogice pentru a valida funcționarea lor. Dintre acestea sunt prezentate două aplicații, prima fiind vizualizarea spațiului performanțelor iar cea de a doua optimizarea parametrilor de interes al unor circuite integrate.

1.3 Structura tezei

Teza începe cu un capitol introductiv, subliniind motivatia și scopul acestei teze, totodată evidențiază și cercetări similare în domeniu și baza teoretică a metodei propuse pentru îmbunătățire. Restul tezei este structurat pe 4 capitole (Capitolul 2 – 5) în care se face o sinteză a comunicărilor din literatura, se subliniază câteva concluzii ce vor duce la propunerea metodei de esantionare pentru a îmbunătăți modelele de machine learning pentru caracterizarea circuitelor iar în final se vor prezenta rezultatele și în cele din urmă concluziile și viitoare îmbunătățiri.

Capitolul 2. În acest capitol se examinează ultimele publicații în domeniu referitoare la proiectarea circuitelor integrate folosind concepte de AI. Aceasta poate fi împărțită în 3 părți. Prima fiind dimensionarea și optimizarea circuitelor, a doua verificare pre- și post-siliciu iar în final o serie de soluții pentru implementarea layout-ului sunt prezentate. În a2-a parte a acestui capitol se face și fundamentarea teoretică pentru metoda propusă de dezvoltare a modelelor ML.

Capitolul 3. In acest capitol se prezinta metoda propusa pentru modelarea comportamentului circuitelor integrate si rezultatele testarii ei in diverse seturi de teste. In prima faza, algoritmul a fost testat pe o serie de functii surogat ce sunt usor de controlat in ceea ce priveste complexitatea si dimensiunea functiilor. Algoritmul este testat pe o serie de functii ce variaza de la 1D la 4D. In a2-a parte a capitolului sunt prezentate rezultate pe o serie de circuite si dispozitive de test cum ar fi diferite reglatoare serie si un comutator cu MOS de putere.

Capitolul 4. In acest capitol se utilizeaza modelele anterior dezvoltate in cadrul unor aplicatii ce in mod traditional ar folosi un simulator. Prima aplicatie este generarea de date pentru caracterizarea spatiului performantelor unor circuite si dispozitive electronice iar a doua este cea de optimizare a performantelor unor circuite folosind optimizarea Bayesiană.

Capitolul 5. In acest capitol sunt evidentiata concluziile in urma rezultatelor obtinute. Totodata este prezentata si o lista de publicatii in domeniu si o serie de posibile imbunatatiri in ceea ce priveste directia de cercetare.

2.Fundamentare teoretica

Algoritmiile machine learning (ML) devin o parte esentiala in ciclul de dezvoltare al circuitelor integrate (IC). Astfel, mai multe abordari au fost publicate in literatura cu aplicatii in ceea ce priveste optimizarea sau dimensionarea diverselor blocuri dintr-un circuit integrat, verificarea diverselor blocuri si in cele din urma implementarea layout-ului.

In primul subcapitol se face o trecere in revista a aplicatiilor mentionate mai sus, subliniind avatantaje/dezavantaje si limitari in metodele prezentate iar apoi in cel de al doilea subcapitol se va face fundamentarea teoretica a metodei imbunatatite pentru dezvoltarea modelelor machine learning pentru caracterizarea circuitelor.

2.1 Starea artei in automatizarea proiectarii circuitelor integrate

Aplicatii de machine learning au fost folosite cu succes in multe ramuri ale domeniului circuitelor integrate. In principal, majoritatea etapelor din flow-ul de dezvoltare al circuitelor integrate necesita folosirea intensa a simularilor, fie ca vorbim de proiectarea initiala, verificare pre- si post-siliciu sau simulari post-layout. Astfel, un model machine learning ce poate prezice diversi parametri fara a fi necesar rularea unor simulari ar fi de ajutor pentru proiectant si totodata pot duce la diverse nivele de automatizare pentru cresterea productivitatii. In cele ce urmeaza se vor prezenta cateva astfel de aplicatii.

2.1.1 Proiectare/optimizarea circuitelor integrate

Una din cele mai populare abordari este proiectare circuitelor folosind diversi algoritmi de cautare/optimizare. Algoritmi uzuali folositi sunt optimizare Bayesiană (BO), algoritmi genetici (GA), differential evolution (DE) cuplati fie direct cu mediul de simulare sau cu diverse modele de regresie realizate de cele mai multe ori fie cu retele neurale (NN).

In Figura 0.1 se prezinta forma generala a dezvoltarii unui model de regresie pentru circuite integrate. Pentru un set de performante masurate (ex. Margine de faza si castig, castig, banda, CMRR, PSRR, etc.) se esantioneaza prin diverse tehnici (uniform, aleator, grid etc.) spatiul parametrilor de circuit cum ar fi rezistente, capacitati si lungimi si latimi de tranzistoare.

Urmand ca datele extrase prin simulari sa fie folosite in antrenarea unui model de regresie ce mai departe poate fi folosit in locul simulatorului in cadrul rularii algoritmilor de optimizare.

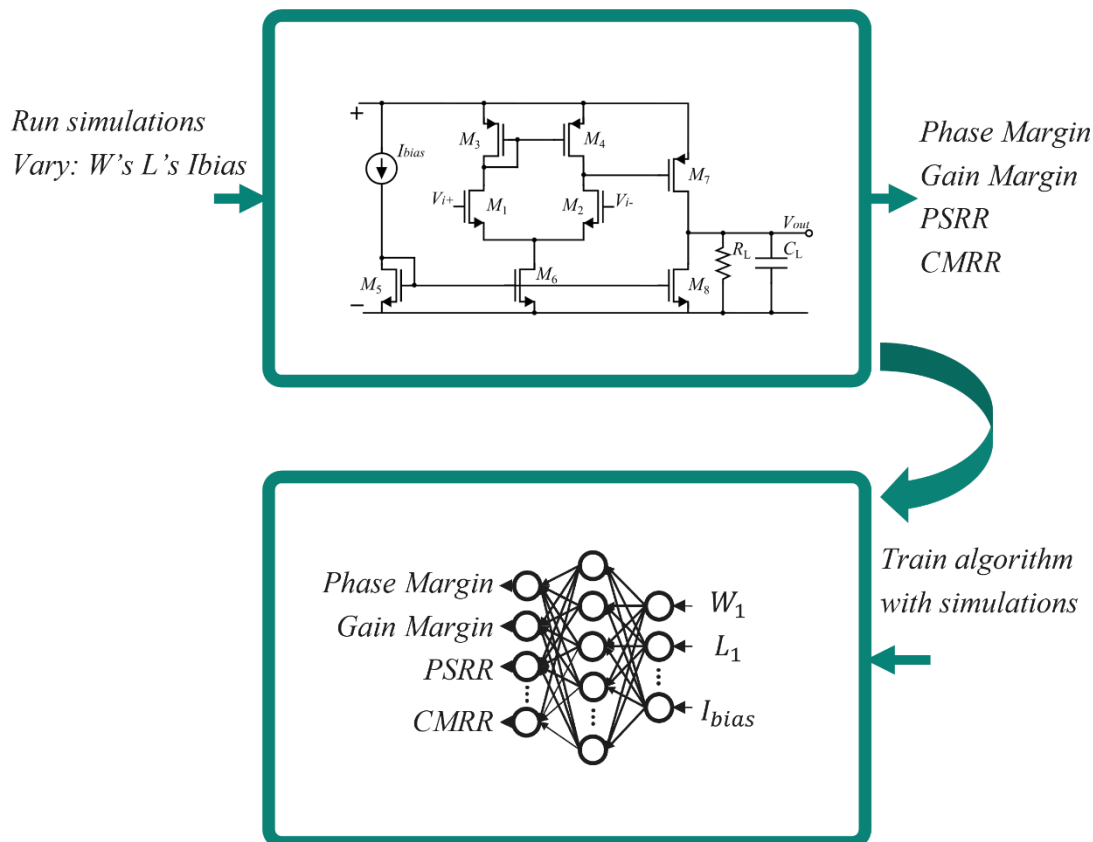


Figura 0.1 Proces general de antrenare al unui model machine learning

In general fara un principiu de alegere al datelor folosite pentru antrenare se poate ajunge la un numar semnificativ de date redundante ce pot face modelul ineficient. Astfel realizarea unui mecanism de selectie al simularilor in ideea de a eficientiza procesul este de dorit.

In Table 1 este sintetizata o liste de publicatii recente in care se raporteaza aplicatii similare. In tabel s-a metionat algoritmul ML folosit, circuitul de test si scopul metodei. Se poate observa o prezenta majoritara a retelelor neural ca si algoritmi de regresie si optimizarii Bayesiene in cazul optimizarii circuitelor. De mentionat ca in nici una din publicatii nu este adresat procesul de achizitie iar in unele publicatii se ajunge la un numar exagerat de simulari (100.000-150.000).

Table 1 Comparatie intre circuit si algoritmi folositi

Ref.	Algoritm	Circuit	Scop
[1]	Particle swarm optimization	Miller Op-Amp	Optimization
[2]	Artificial neural networks	Miller Op-Amp	Sizing tool, ~92% accuracy
[3]	Bayesian Optimization	3 stage Op-Amp	Optimization, 300-6k points
[4]	Artificial Neural Networks	Differential pair & Cascode OTA	Sizing tool >99% accuracy
[5]	Bayesian Optimization	3 stage Op-Amp & VCO	Optimization Up to 6k points
[6]	Cuckoo Search Algorithm	Miller Op-Amp	Optimization
[7]	Bayesian Optimization	Miller Op-Amp, LNA	Optimization
[8]	Differential evolution and Bayesian inference	LDO	Optimization
[9]	Differential evolution and Bayesian inference	LDO	Optimization
[10]	Evolutionary algorithms and deep learning	2& 3 stage Op-Amps	Optimization
[11]	Artificial neural networks	Various RF circuits	Sizing tool >95% accuracy
[12]	Bayesian Optimization and Reinforcement Learning	Various Op-Amp topologies	Optimization
[13]	Graph Neural Networks and Reinforcement Learning	LDO	Optimization
[14]	Artificial Neural Networks, Genetic Algorithm	Several Op-Amps topologies	Sizing tool coupled with optimizer
[15]	Artificial Neural Networks	Miller Op-Amps	Sizing tool, 150k samples
[16]	Artificial Neural Networks	Several Op-Amp topologies	Sizing tool coupled with optimizer, 50k samples
[17]	Reinforcement Learning	Cascode OTA	Optimization
[18]	Artificial Neural Networks	Two-stage Op-Amp	Sizing tool, 5k samples
[19]	Bayesian Optimization	Miller Op-Amp	Optimization
[20]	Artificial Neural Networks	Two Stage Op-Amp	Sizing tool, 120k samples
[21]	Artificial Neural Networks	Two Stage Op-Amp	Sizing tool
[22]	Artificial Neural Networks	Two Stage Op-Amp	Sizing tool
[23]	Gaussian process regression	Op-Amp & Active Filter	Sizing tool

2.1.2 Verificarea circuite integrate analogice

Verificarea pre-siliciu asigura functionarea circuitelor in parametri impusi in mai multe conditii de functionare. Acest proces asigura o calitate impusa circuitului proiectat. Aceasta etapa foloseste intens simulatorul pentru acoperirea gamei variate de scenarii de test. In consecinta, o acoperire slaba va duce la defecte functionale ce se vor propaga in productie ducand la produse defecte. Prin urmare, aceasta etapa este un vitala in procesul de dezvoltare ce trebuie tratata cu atentie.

In literatura, sunt propuse multiple variante de a accelera procesul de verificare folosind tehnic AI/ML in verificare pre- si post- siliciu [25] [26] [27] [28] [29] [30] [31] [32] [33].

Zona cu impactul cel mai semnificativ al utilizarii algoritmilor ML este verificarea la variatiile proces – tensiune – temperatura (PVT). Varianta clasica este Monte-Carlo grid ce presupunerea variatiei uniforme tensiune-temperatura si o esationare de tip Monte-Carlo a variatiei procesului. Prin folosirea unui model ce replica aceste variatii se poate realiza un sistem de verificare cum este mentionat in [31] [32] [33].

2.1.3 Layout

Dupa, proiectarea initiala se incepe faza de layout. Ea presupune plasarea componentelor dimensionate astfel incat circuitul sa aibe arie minima iar perfomantele sa nu fie afectate.

Diverse metode de automatizare a acstui proces sunt propuse in [35] [36] [37]. Aplicatii tipice sunt generare automata de layout, trasare automata a traseelor de metal(routing) si estimare de elemente parazite.

Rutarea circuitlor integrate analogice este adresata in [3], unde autorii au dezvoltata un sistem de rutare ce extrage forme de rutare propuse de ingineri si aplica cunostiintele dobandite pentru a genera automat noi layout-uri. Acest studiu raporteaza performante apropiate de utilizatorul uman. In cele din urma, estimarea performanetelor post-layout este adresata in [45]. In aceasta publicatie o comparative intre diferiti algoritmi si implementarea umana este realizata, din nou cu rezultate comparabile intre abordari dar cu diferente de timp semnificative.

2.2 Dezvoltarea de modele AI/ML folosind „active learning”

Dupa cum s-a observat prezenta metodelor ML in proiectarea IC a devenit o arie de interes major. O prima deficiente observata este lipsa unui mecanism de esantionare adaptiva cea ce este si scopul acestei teze. Obiectivul principal este prin rularea unui numar minim de simulari obtinerea unui nivel mare de informatie cu privire la comportamentul circuitului ce ulterior vor fi folosite la antrenarea unui model de regresie ce va functiona similar simulatorului in contextul estimarii diferitilor parametri ai circuitului.

Un candidat pentru o astfel de abordare este „active learning” (AL) ce presupune interogarea iterativa a unui mecanism de decizie ce v-a selecta simularile ce ne vor da cea mai mare cantitate de informatie. In general poate fi clasificat ca o schema iterativa de esantionare in care esantioanele sunt alese astfel incat sa se minimizeze incertitudinea unui raspuns [46] [47] [48]. Aceasta abordare este prezentata in Figura 0.2.

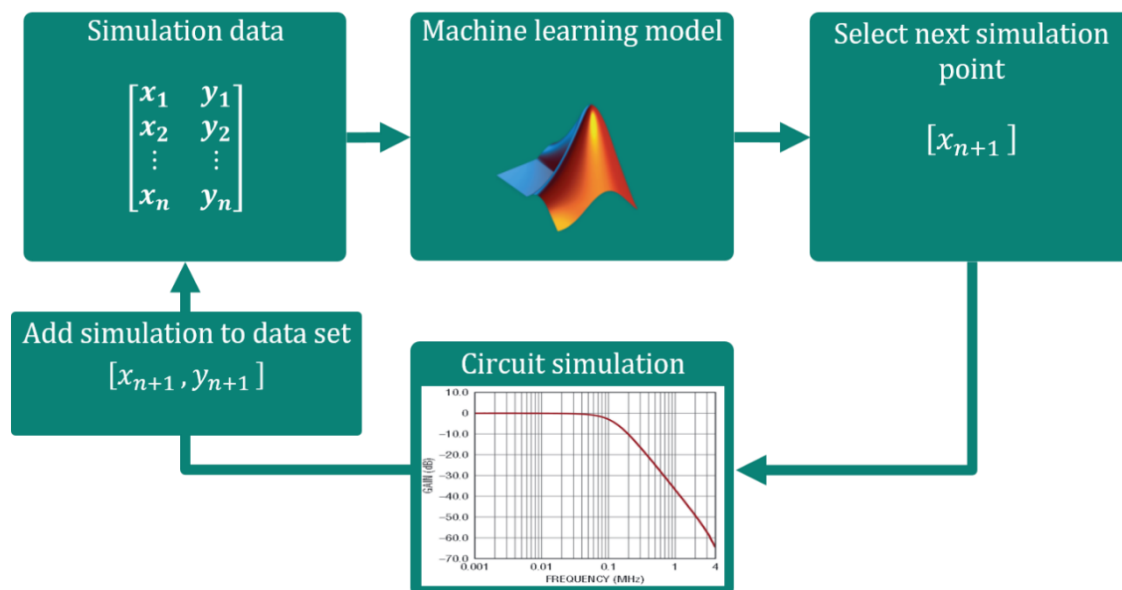


Figura 0.2 Principiul general al „active learning”

Se poate observa ca folosind un model bazat pe proces Gaussian (Gaussian process regression) ce are ca si iesiri ale modelului o predictie medie $\mu(x)$, si un interval de incredere al acestei medii $\sigma^2(x)$ poate fi folosita in contextul anterior mentionat pentru a selecta candidati in zonele de incertitudine mari astfel obtinem imbunatatirea maxima de la o iteratie la alta. Asadar,

o schema de esantionare poate fi dezvoltata unde noile date pentru antrenarea/imbunatatirii unui model ML pot fi selectate dupa formula urmatoare:

$$x_{next} = \operatorname{argmax}(\sigma(x)) \quad (1)$$

Aceasta abordare este inspirata pe baza optimizarii Bayesiana [38] cu „upper confidence bound” (UCB) unde media este ignorata (ecuatia (2)).

$$u(x) = \mu(x) + k\sigma(x) \quad (2)$$

In **Figura 2.3** este prezentata in mod general implementarea unei astfel de scheme de esantionare folosind algoritmi de ML

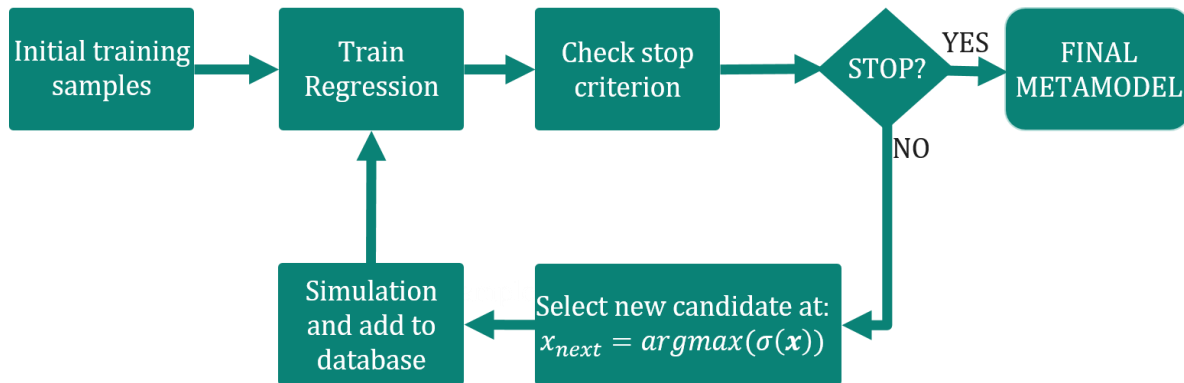


Figura 2.4. Example of sampling scheme using the model uncertainty as an acquisition function

3. Metoda imbunatatita de a dezvolta modele pentru caracterizarea circuitelor integrate

In acest capitol se prezinta rezultatele implementarii schemei de esantionare adaptiva. Aceasta metoda este testata cu metode clasice de esantionare, mai precis aleatorie-random (RND) si uniforma-Latin hypercube (LHS).

Ca si formula de calculare a erorii s-a ales eroarea relativa root mean square error (RMSE) dupa cum este aratat in ecuatia (3):

Relative RMSE (rRMSE)	$\frac{\sqrt{\sum_{i=1}^n (yt_i - m(\mathbf{x}t_i))^2}}{\sqrt{\sum_{i=1}^n (yt_i)^2}}$	(3)
-----------------------	--	-----

3.1 Descrierea metodei

In Figura 3.1 se poate observa forma generala a schemei de esantionare. Setul initial de esantionare este ales ca $m = 10n$ unde n este dimensiunea parametrilor de intrare care poate varia de la un caz la altul. Dupa alegerea setului initial de antrenare se construiesc o regresie si este evaluata incertitudinea pe baza modelului antrenat. In a2a faza se evalueaza aceasta incertitudine iar urmatoarea simulare va fi efectuata in maximul acestei incertitudini iar acest punct va fi adaugat la baza de date de antrenare. Acest ciclu este repetat pana cand eroarea de test, ce este calculata pe un set independent de cel de antrenare va atinge o valoare de prag sau se atinge un numar maxim de simulari impus.

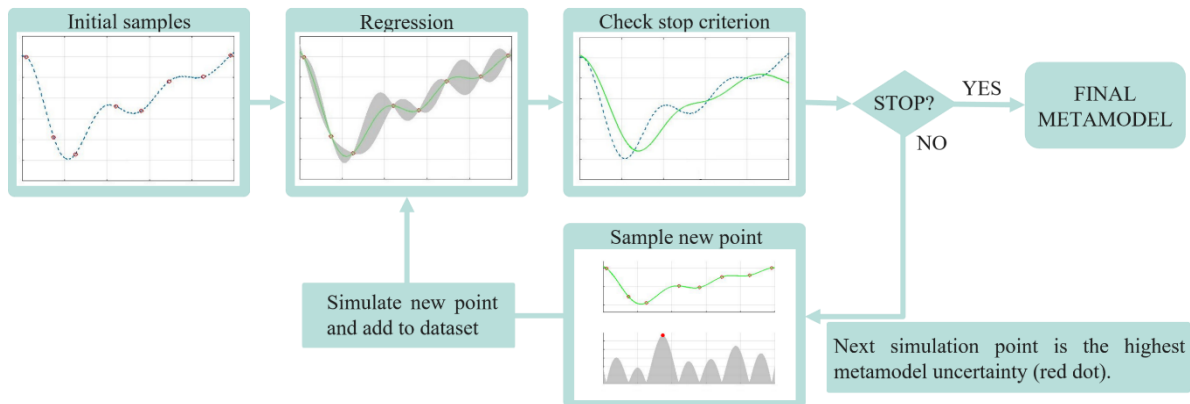


Figura 3.1 Forma generala a algoritmului de esantionare pentru o singura iesire

3.2 Rezultate pe functii surogat

In general, o buna practica este testarea unor astfel de algoritmti costisitori pe o baza de functii de test, numite functii surogat ce sunt in general de complexitate variabila si de diverse dimensiuni, preferabil mai mici decat dimensiunea finala a circuitului in cauza.

In continuare se vor prezenta cateva rezultate pe astfel de functii, cu dimensiune de la 1D la 4D de diferite complexitati pentru esantionarea cu schemele clasice mentionare aleatoriu si uniform (RND si LHS) comparate cu schema adaptiva propusa (ALS)/

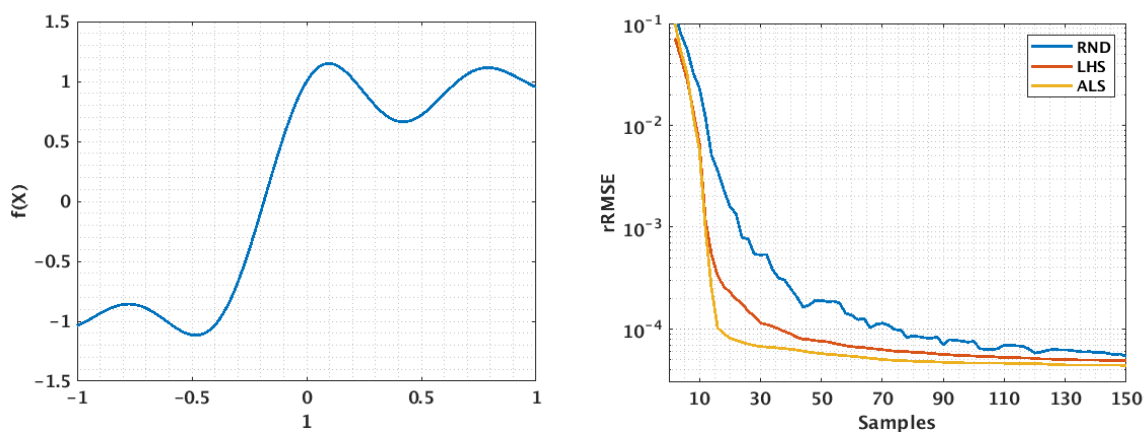


Figura 3.2 Rezultate pentru functia (4)

$$f(x) = \text{sinc}(\pi x) + \tanh(\pi x) \quad (4)$$

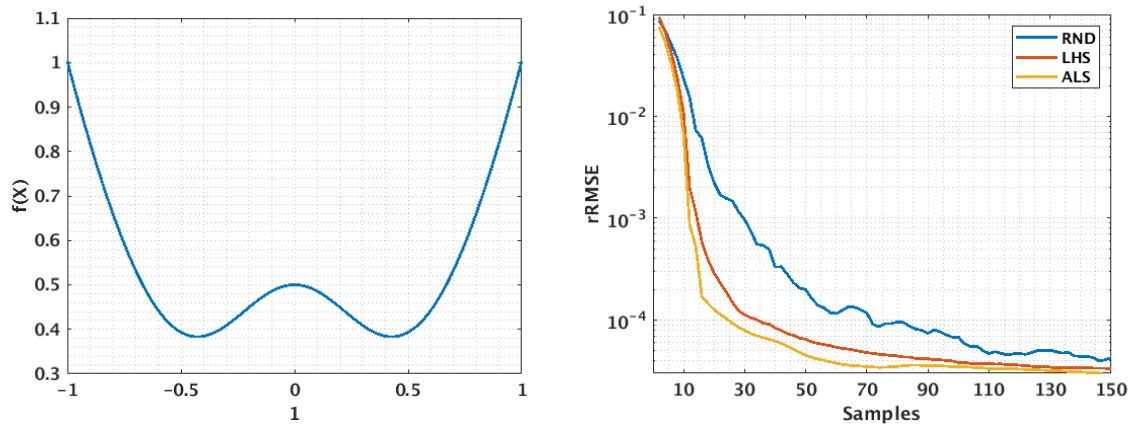


Figura 3.3 Rezultate pentru functia (5)

$$f(x) = x^2 + 0.5\exp\left(-\frac{x^2}{0.2}\right) \quad (5)$$

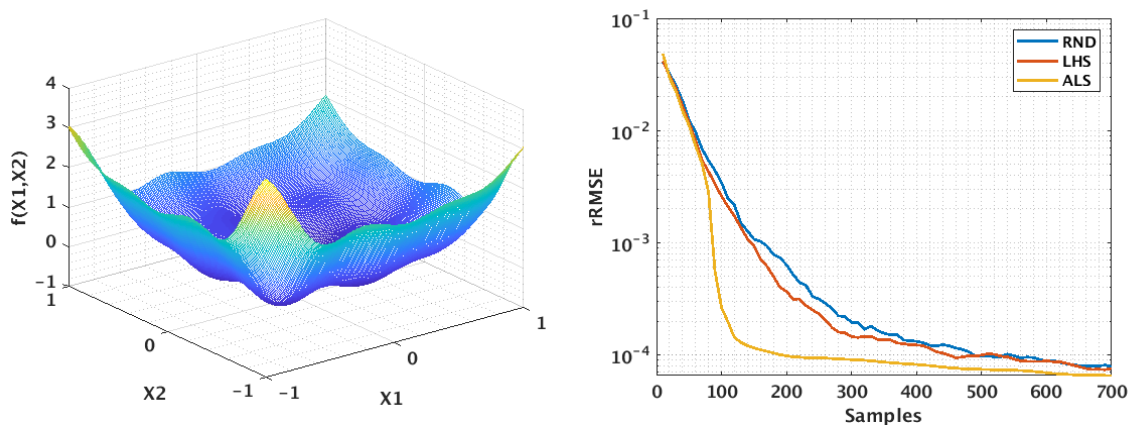


Figura 3.4 Rezultate pentru functia (6)

$$f(x) = \sum_{i=1}^2 \left(|x_i^3| + \text{sinc}(\pi x_i + 1) \right) \quad (6)$$

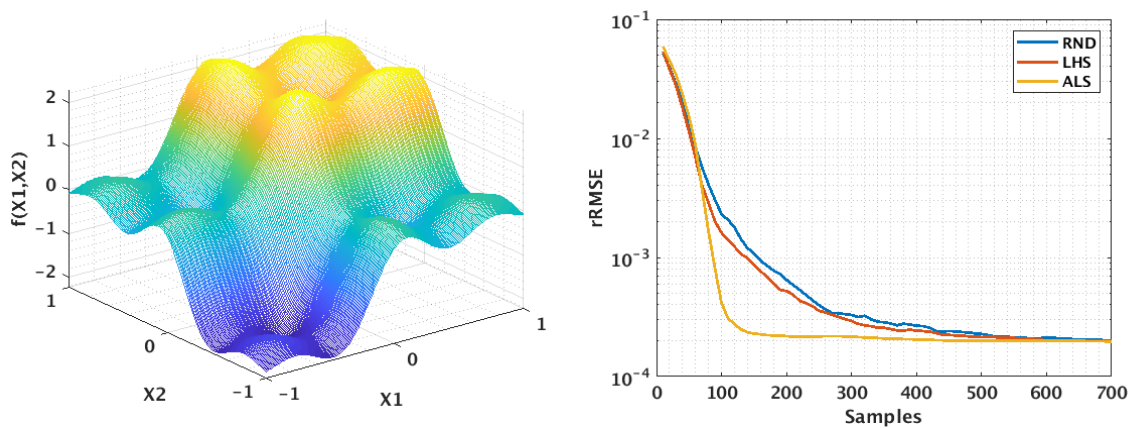


Figura 3.5 Rezultate pentru functia (7)

$$f(x) = \sum_{i=1}^2 (\text{sinc}(\pi x_i) + \tanh(\pi x_i)) \quad (7)$$

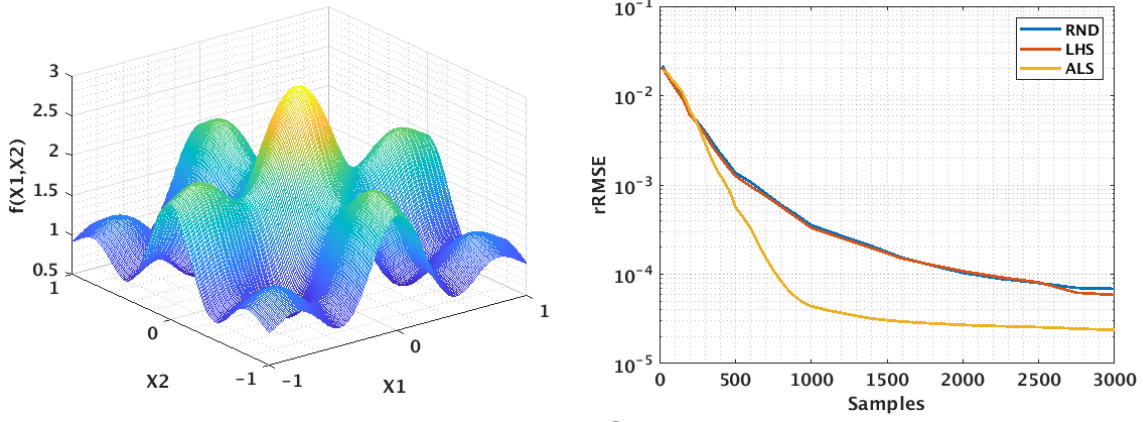


Figura 3.6 Rezultate pentru functia 3D (8) cu $x_3 = 0$

$$f(x) = \sum_{i=1}^3 \text{sinc}(\pi x_i) \quad (8)$$

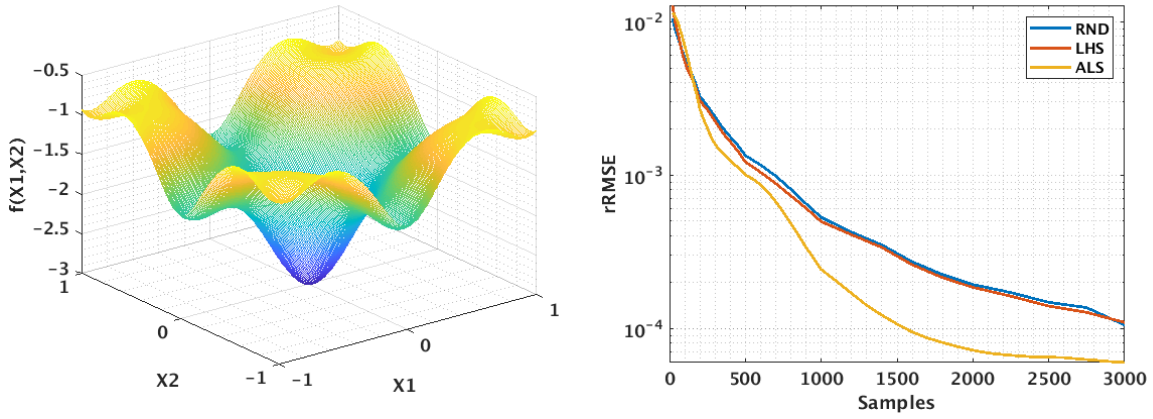


Figura 3.7 Rezultate pentru functia 3D (9) cu $x_3 = -0.5$

$$f(x) = \sum_{i=1}^3 \left(-\exp\left(-0.2 * \frac{x_i^2}{i}\right) - \exp(\cos(2\pi x_i)) \right) \quad (9)$$

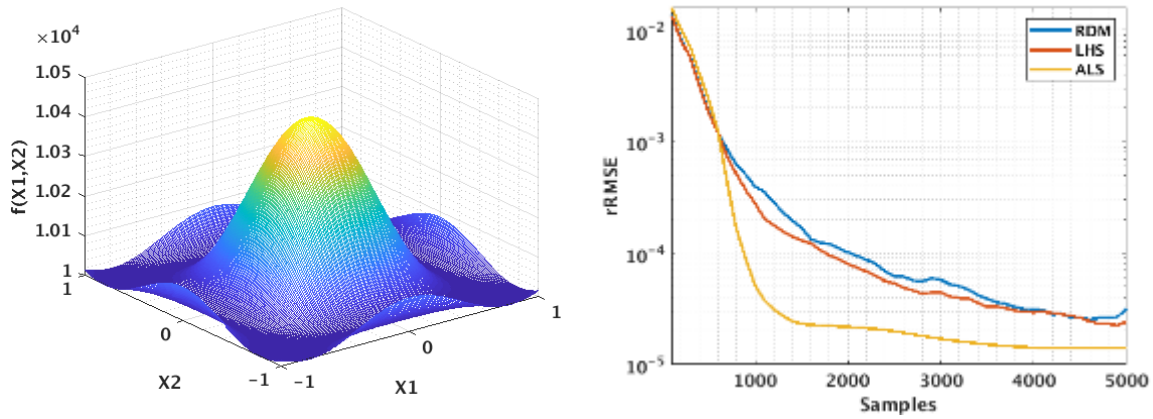


Figura 3.8 Rezultate pentru functia 4D (10) cu $x_3 = 0.5$ $x_4 = 0.5$

$$f(x) = \sum_{i=1}^4 \left((1 + \exp(-2x_i^{10}) - 2 \exp(2x_i^2)) * \cos^2(x_i) \right) \quad (10)$$

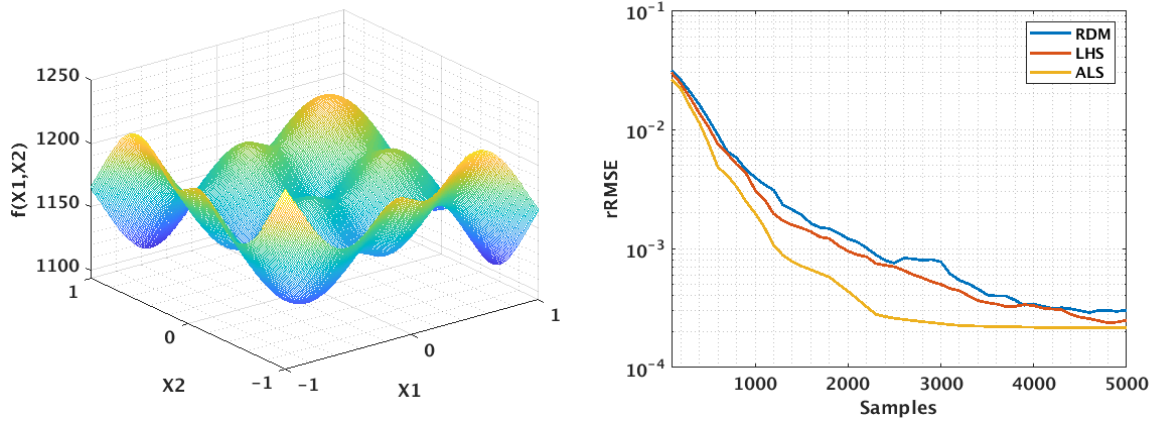


Figura 3.9 Rezultate pentru functia 4D (11) cu $x_3 = 0.5$ $x_4 = 0.5$

$$f(x) = \sum_{i=1}^4 (|x_i| * \exp(-\sin^2(x_i))) \quad (11)$$

Pentru functiile 3D si 4D in depictia functiei s-au folosit proiectii cu variabile de dimensiune 3 si 4 respectiv pastrate la o valoare constanta. In cazul erorilor prezentate aceste variabile au fost variate in aceeasi maniera cu celelalte.

Se poate observa ca in aceste rezultate schema de esantionare adaptiva are beneficii clare in ceea ce priveste eroarea sau numarul de esantionare necesar obtinerii unei anumite valori de eroare. In functie de marimea functiei minimizarea setului de antrenare este de la sute de esantioane catre mii de esantioane in cazul functiilor 3D si 4D.

3.3 Rezultate pe circuite de test

În continuare, se vor prezenta rezultatele pentru doua circuite de test primul fiind un dispozitiv de putere de tip MOS [39] iar al doilea caz este un regulator serie (LDO) [41] [42].

Comportamentul unui comutator MOSFET [39] este caracterizat de simularea comportamentului folosind instrumente precum COMSOL [40]. Acest tip de simulare este destul de costisitoare computationally și necesită timp semnificativ. În funcție de setarea de simulare și de complexitatea dispozitivului, o simulare poate dura de la câteva ore până la zeci de ore. În mod tradițional, în timpul fazei de proiectare, inginerii variază parametrii de proiectare a dispozitivului (geometrie, proprietăți fizice) pentru a obține proprietățile electrice dorite (în principal rezistența R_{on}). În experimentele prezentate s-a folosit un astfel de comutator caruia i s-a modelat rezistența de conducție (R_{on}) în funcție de proprietățile sale geometrice (lățimea și lungimea chipului și lățimea și lungimea contactelor sale).

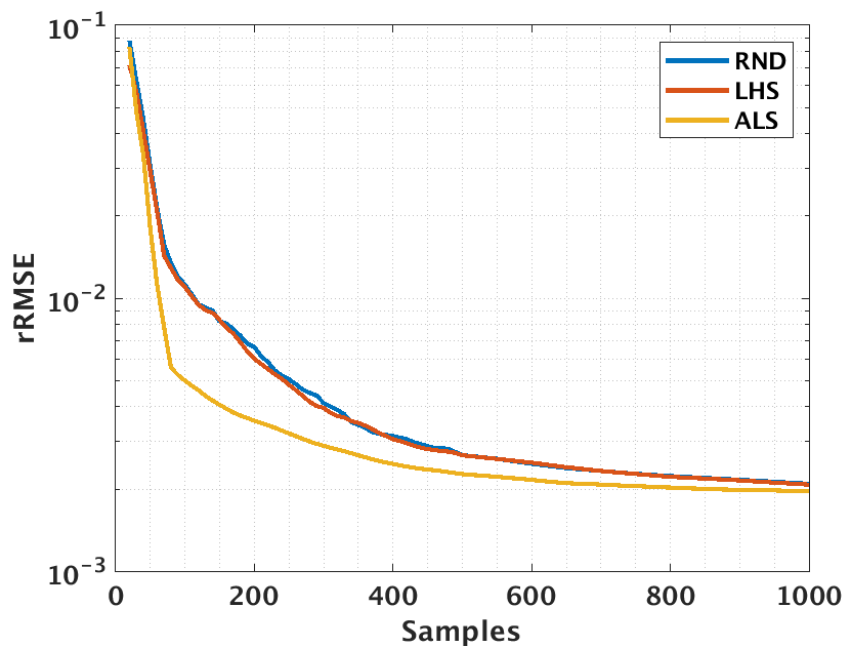


Figura 3.10 Error trend versus the number of samples

Se pot observa o serie de rezultate promitatoare în acest caz. Avem reducere de 100-200 de eșantioane pentru diverse erori ce se poate traduce în câteva sute de ore de simulare economisite doar pentru dezvoltarea modelului ulterior el fiind folosit complementar aceluia.

Reglatoarele serie (Low drop-out voltage regulators) [41] [42] sunt circuite importante prezente in majoritatea sistemelor electronice. Ele asigura ca tensiunea de alimentare ale diferitelor blocuri dintr-un circuit integrat nu are variatii si este stabila in functie de diferite variatii de temperatura, proces sau sarcini.

Figura 3.11 prezinta o topologie clasica de LDO. In rezultatele prezentate se va folosi un circuit proprietate intelectuala Infineon asadar parametrii vor fi anonimizati si normalizati in intervalul [-1;1].

Acest exemplu are 6 parametri pentru care s-a modelat rata rejectiei sursei de alimentare (PSRR) pentru 4 intervale distincte prezentate in Figura 3.12

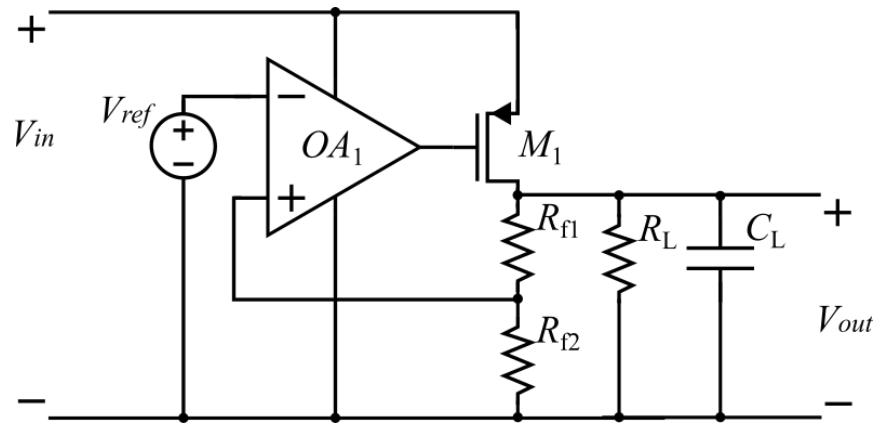
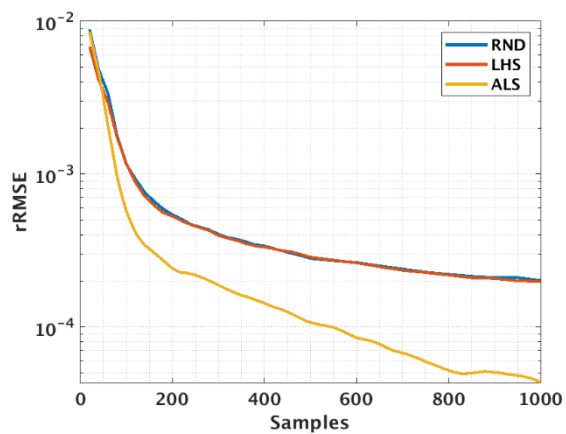
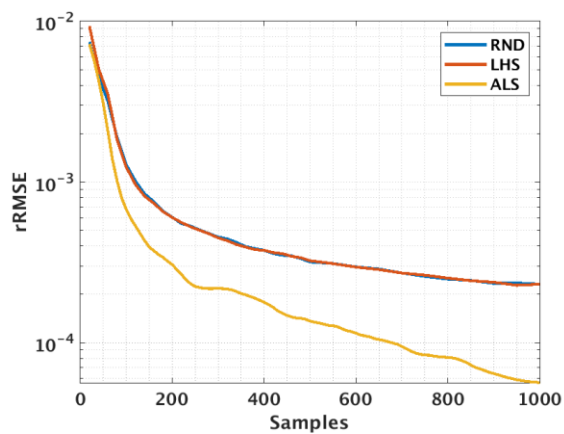


Figura 3.11 General LDO topology [43]

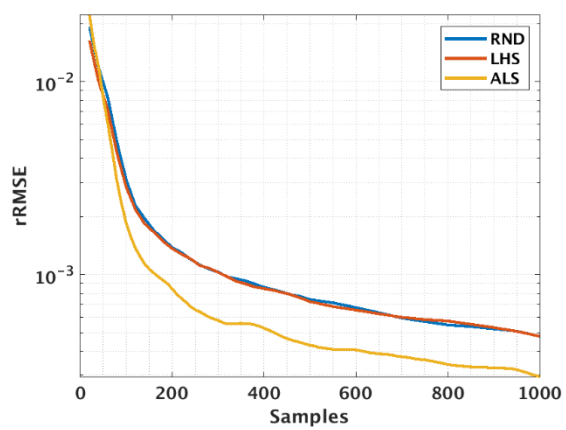
Se poate observa si in acest caz un avantaj major al metodei adaptive de esantionare pentru intervalul de esantionare ales, metoda adaptiva fiind superioara metodelor fixe pe tot intervalul prezentat (50-1000 de esantioane)



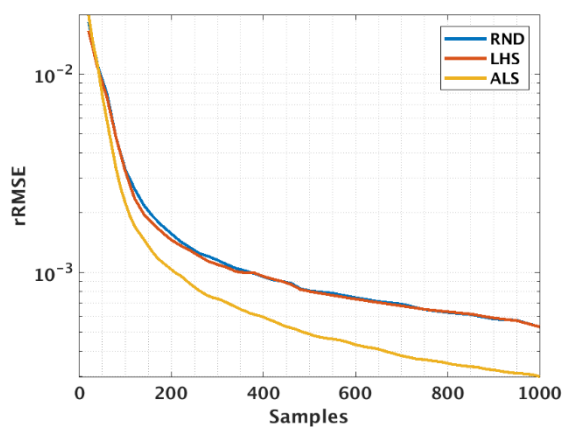
(a)



(b)



(c)



(d)

Figure 3.12 Results of the PSRR in the 4 parameter LDO case

- (a) 1-10kHz
- (b) 10-100kHz
- (c) 100-500kHz
- (d) 0.5-3MHz

3.4 Implementare „multi-raspuns”

Datorita faptului ca in general mai multi parametri sunt de interes in cadrul proiectarii unui circuit integrat, schema de esationare a fost extinsa catre o varianta multi-raspuns. S-au identificat 2 variante convenabile de a adresa aceasta problema, ambele figurate in Figura 3.13. In figura (a) este prezentat o schema de esantionare *paralela* iar in figura (b) o schema de esantioane *seriala*.

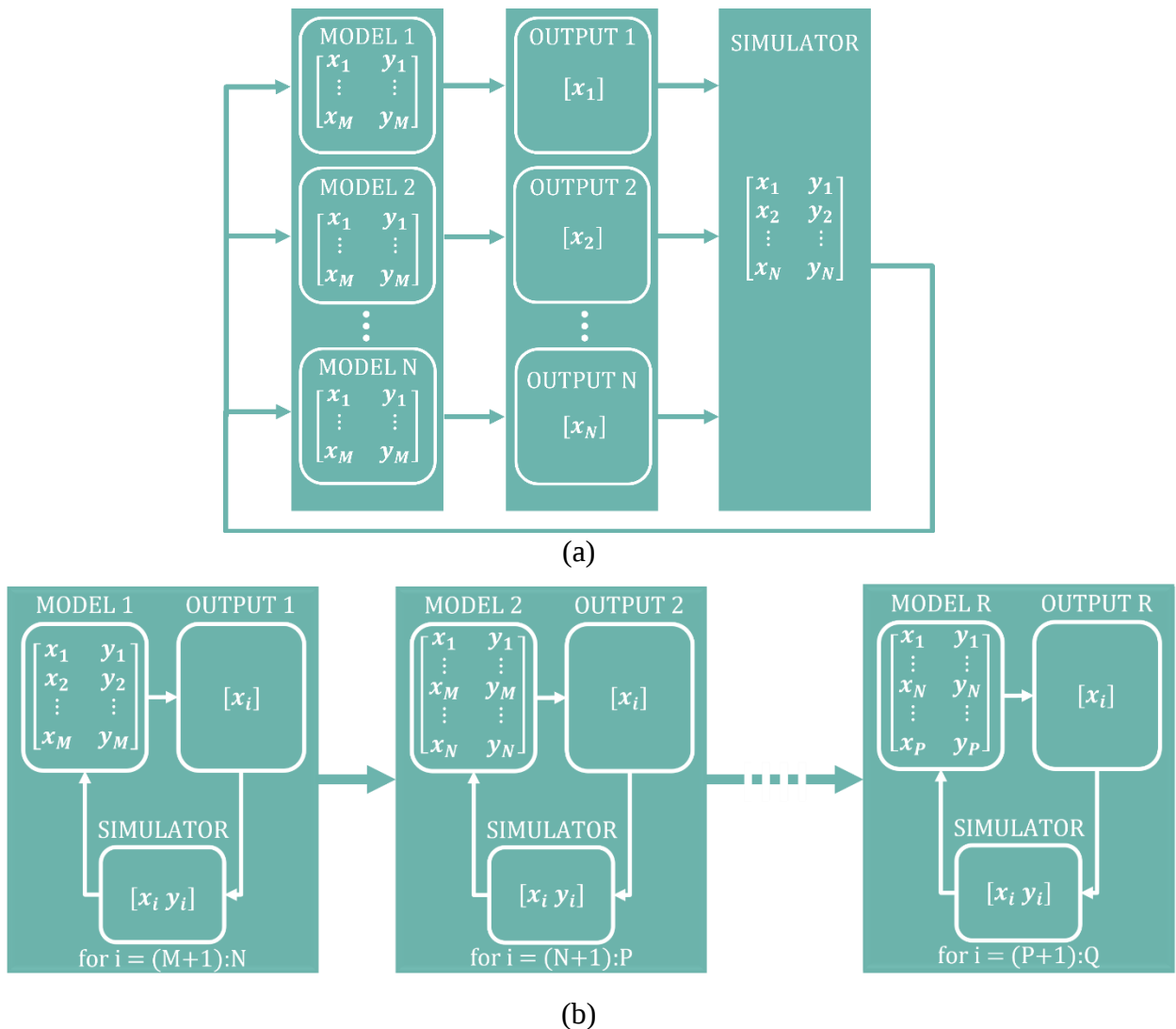


Figura 3.13 Scheme de esationare multi-raspuns

(a) – Modelare paralela

(b) – Modelare seriala

In prima varianta vom avea cate o regresie pentru fiecare parametru modelat ce v-a propune un nou esation. Astfel se obtine o accelerare a procesului de antrenare de N ori unde N este numarul de parametri modelati. Pentru a2-a se vor antrena secvential modelele folosind ca punct de start baza de date obtinuta de modelul anterior.

Rezultatele pentru comparatia aceste scheme de esationare este in Figura 3.14 si Figura 3.15. In prima Figura avem erorile obtinute de cele 4 metode de esantionare (2 fixe si cele 2 multi raspuns propuse) pentru un buget de 800 de simulari. In a2-a figura algoritmul a fost lasat sa ruleze pana s-a obtinut o eroare rRMSE de 0.1% (0.001 in valoare absoluta) si s-a notat numbarul de simulari necesar fiecarei metode.

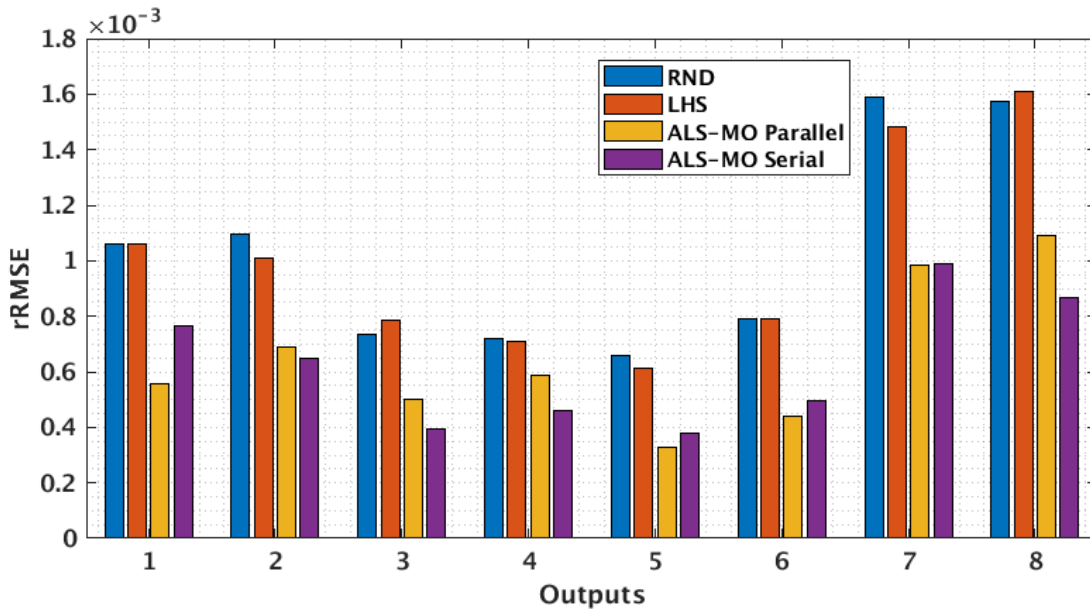


Figura 3.14 Results for LDO

Measured error for a simulation budget of 800 points

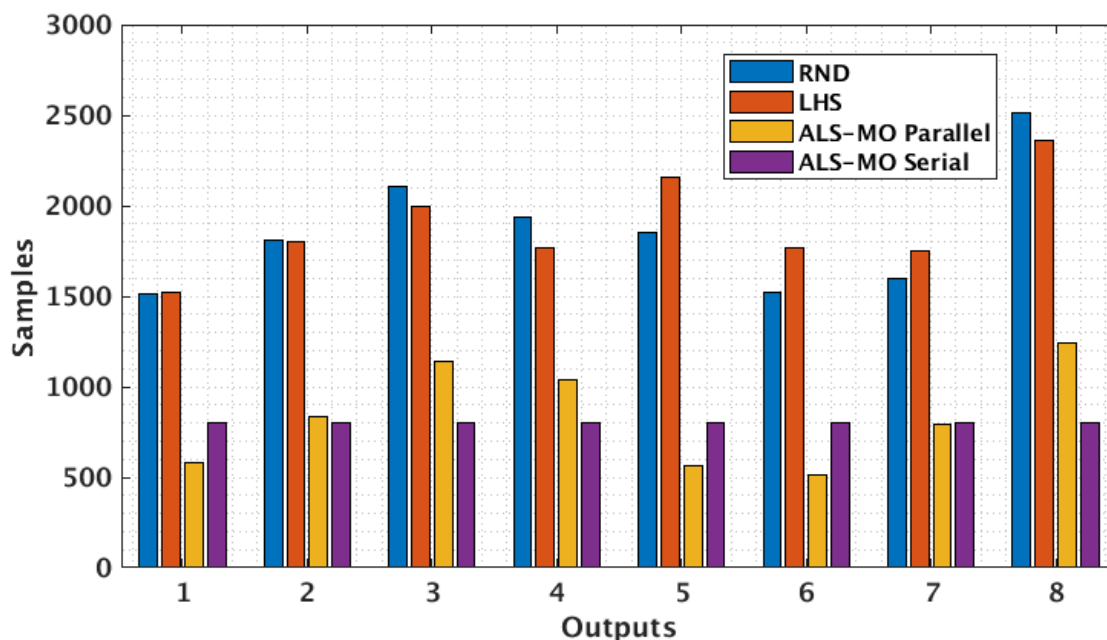


Figura 3.15 Results for LDO

Number of samples needed to reach 0.1% rRMSE

Se poate observa ca si pentru aceasta varianta, metodele adaptive au avantaje semnificative, obtinandu-se reduceri de 500-1000 de puncte de simulare necesare pentru obtinerea unei valori impuse. Rezultatele sunt consistente cu cele obtinute pentru schema de esantionare cu un singur raspuns prezentata in subcapitolele anterioare.

3.5 Modelarea circuitelor cu un numar mare de variabile

Rezultatele prezentate pana acum au fost implementate folosind GPR (Gaussian process regression). Principalul impediment al acestui algoritim de regresie este complexitatea de antrenare ce este $O(n^3)$, lucru ce poate duce la timpi de antrenare mari in cazul seturilor de antrenare cu un numar mare de variabile sau un numar mare de date de antrenare.

Pentru a evita acest lucru in cazul unor astfel de situatii se pot folosi algoritmi ce se scaleaza mai bine cu setul de date cum ar fi rețele neurale sau *support vector machine*(SVM). Pentru a simula iesire de incertitudine a procesului Gaussian se pot antrena mai mult modele cu seturi disjuncte si calculata o varianta a acestor modele, astfel emulandu-se respectiva incertitudine.

Table 2 Timpul de antrenare (in secunde)

No samples	$n = 1$		$n = 3$		$n = 7$		$n = 11$		$n = 17$	
	NN	GP	NN	GP	NN	GP	NN	GP	NN	GP
100	1	2	1	3	2	3	2	2	2	9
200	1	6	1	6	3	6	2	4	2	11
1000	1	64	2	50	5	60	3	76	3	84
2000	3	57	4	67	8	67	4	82	5	88
10000	5	181	14	137	47	194	32	239	24	211
20000	12	300	26	301	66	486	67	503	63	630

In Tabelul 2 se pot observa timpzii medii de antrenare, pentru o functie oarecare folosind proces Gaussian (GP) si folosind retele neural (NN) pentru diferite dimensiune (n) si pentru dimensiune diferite a setului de antrenare. Principalul aspect este ca in general retele neural necesita mai putin timp pentru antrenare astfel se poate implementa varianta anterior mentionata pentru a dezvolta aceste modele

Pentru validare au fost folosite circuitele prezentate anterior (comutatorul de putere MOS si regulatorul serie) in care s-a comparat evolutia erorii folosind esationarea cu process Gaussian si esationare cu retele neurale (Figura 3.16 si Figura 3.17). Este evident ca din punct de vedere al erorii nu avem diferente semnificative in ce priveste parametrii modelati iar in functie de numarul de retele antrenate pentur realizarea esantionarii timpul de antrenare va fi in general mai mic decat antrenarea unei regresii cu process Gaussian.

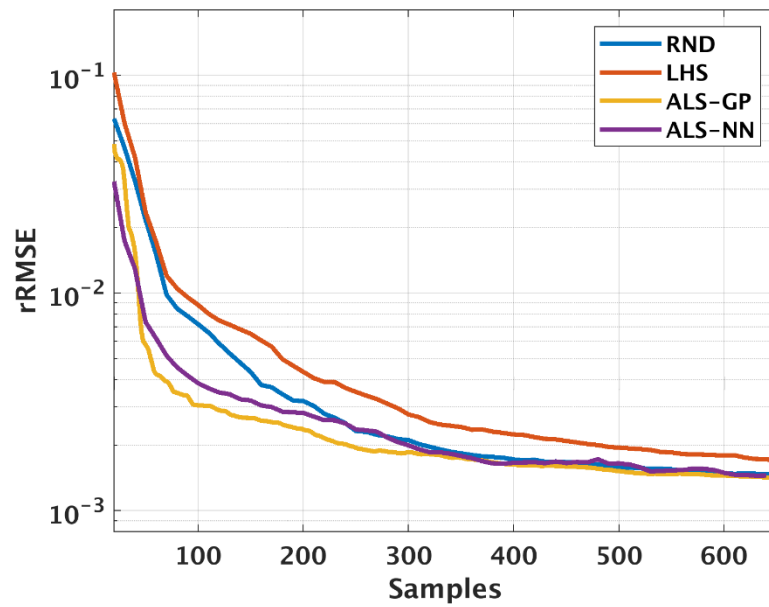


Figure 3.16 Error trend for the modelled R_{on} of the 4 factor MOSFET Switch

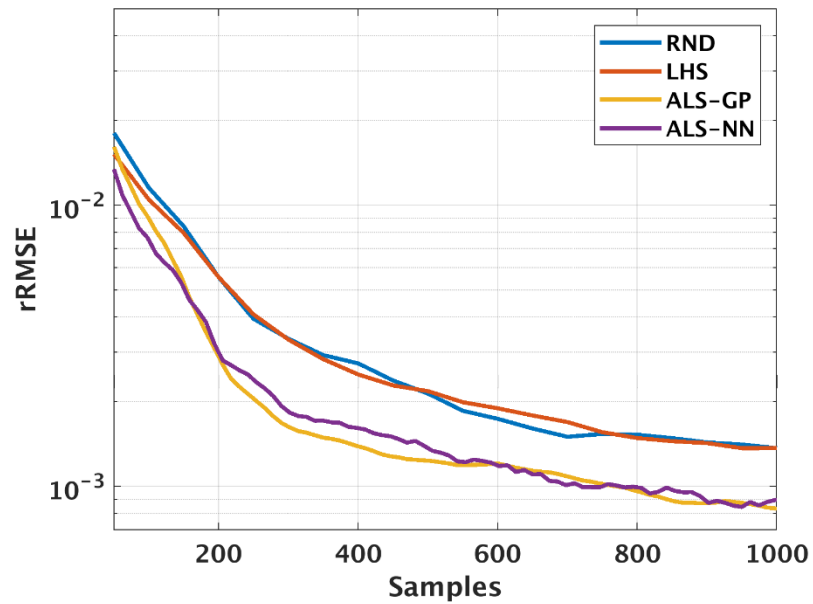


Figure 3.17 Error trend for the modelled PSRR of the 6 factor LDO

4. Aplicatii folosind modele dezvoltate

Scopul acestei teze este de a optimiza procesul de achizitie de date pentru dezvoltare unor modele ML ce pot caracteriza comportamentul diferitelor dispozitive sau circuite integrate. Aceste modele pot fi folosite ulterior in diverse aplicatii de optimizare, caracterizare sau verificare a circuitelor integrate. In continuare vom prezenta cate un exemplu in doua aplicatii cheie din procesul de dezvoltare al circuitelor integrate si anume vizualizarea spatiului performantelor si optimizarea parametrelor.

4.1 Vizualizarea spatiului performantelor

Vizualizarea spatiului performantelor este util pentru determinarea capacitatilor tehnologice ale unui pachet de lucru (work package) sau pentru capacitatile unei topologii de circuit. Astfel pe baza unui model dezvoltat se poate estima anumite limite pentru performant (ex: un anumit castig maxim sau o anumita rezistenta de iesire minima etc). Primul exemplu este comutatorul de putere cu MOS [73] prezentat si in capitolele anterioare. Modelul dezvoltat are o eroare rRMSE de 1% (0.01 in valoare absoluta) ce s-a obtinut cu 50 de puncte de simulare.

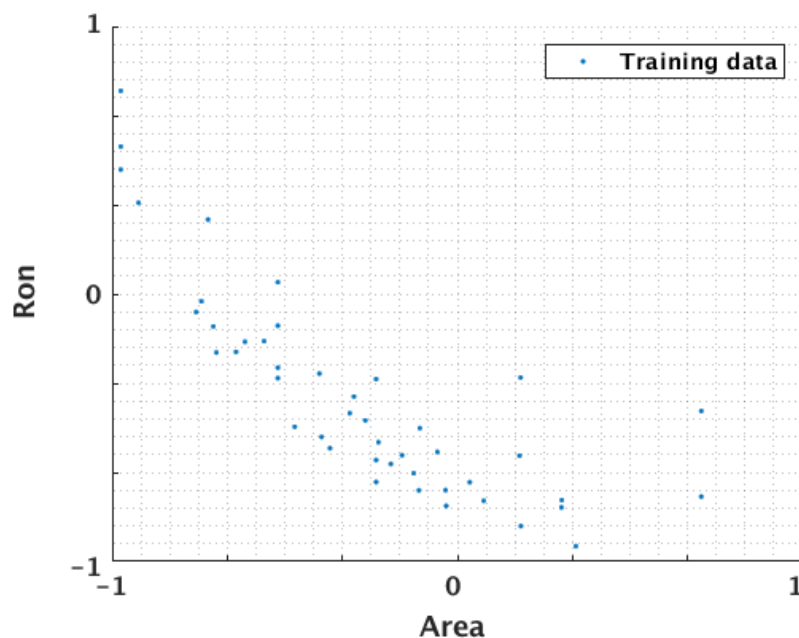


Figura 4.1 Punctele de antrenare pentru comutatorul de putere

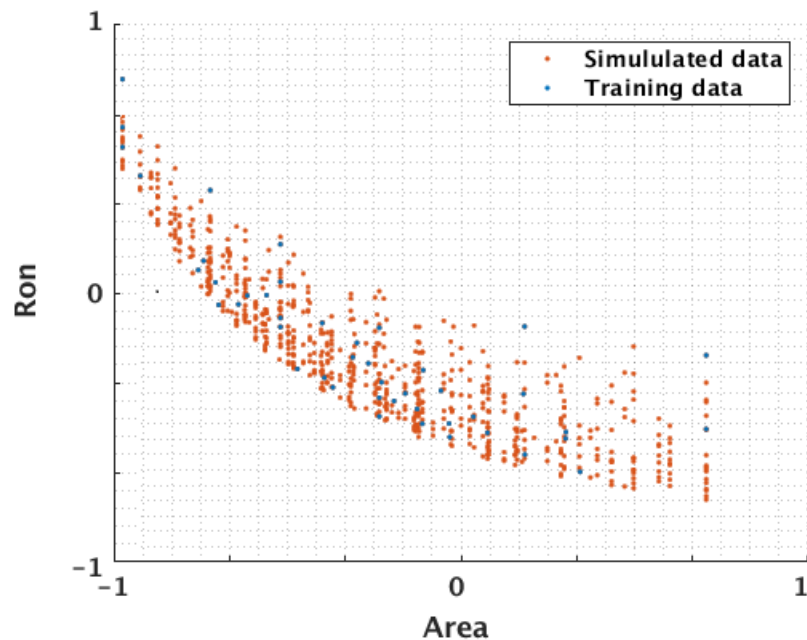


Figura 4.2 Punctele de antrenare si punctele generate pentru comutatorul de putere

In Figura 4.3 si Figura 4.4 s-a exemplificat dependenta rezistentei de conductie R_{on} in functie de aria dispozitivului. In Figura 4.5 este exemplificata generare unor noi esatioane cu ajutorului modelului dezvoltat (600 de puncte in aceste caz). Din aceste grafice proiectantul poate vedea rezistenta minima ce poate fi obtinuta in functie de aria circuitului si care sunt limitarile tehnologice.

4.2 Optimizarea performantelor

Pentru cea de a doua aplicatie v-om folosi un LDO ce are 10 parametri de intrare (rezistente, capacitati si latimi de tranzistoare) pentru care s-a dorit optimizarea marginilor de faza si castig si a PSRR-ului.

In Figura 4.6 si Figura 4.7 sunt prezentate rezultatele unei astfel de optimizari, implicit punctele optime alese de algoritim. In Figura 4.8 se prezinta rezultatul unei astfel de optimizari tinand cont de toti cei trei parametri de interes.

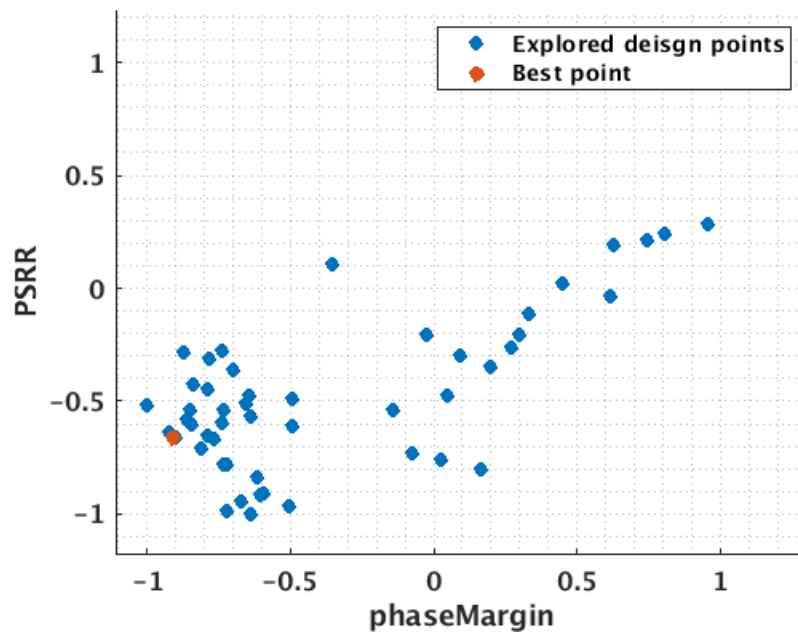


Figure 4.6 LDO Optimization – PSRR and phase margin relation

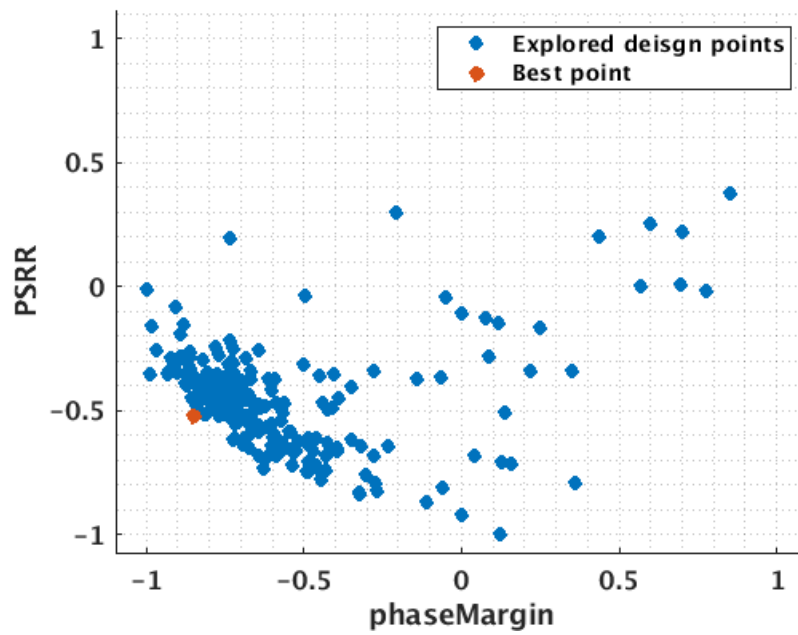


Figure 4.7 LDO Optimization – PSRR and phase margin Pareto frontier

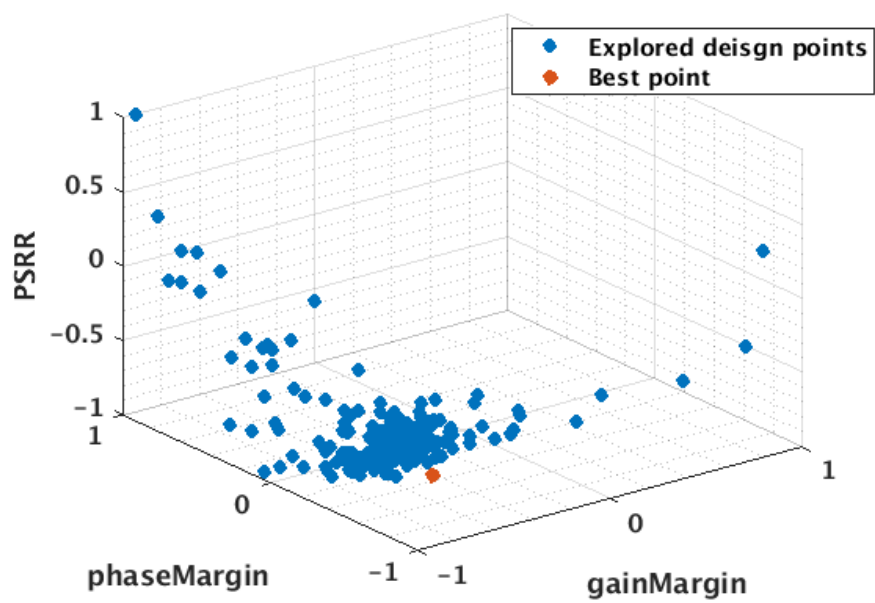


Figura 4.8 LDO Optimization – plot for PSRR, phase margin and gain margin

5. Concluzii

În paragrafele următoare se vor evidenția câteva aspecte cheie a celor prezentate în teza. Scopul principal a fost optimizarea procesului de dezvoltare a modelelor machine learning pentru proiectare circuite integrate analogice. În acest sens, s-a introdus o metodă de esantionare adaptivă bazată pe „active learning” ce a avut ca scop minimizarea numărului de simulări necesare dezvoltării unui model cu o acuratețe impusă.

Metoda de esantionare a fost testată pe diverse funcții surogat, pe o plajă variată de dimensiuni și complexități iar apoi pe un set de circuite de test ambele cu rezultate favorabile în ceea ce privește numărul de simulări și eroarea obținută în comparație cu schemele clasice de esantionare aleatoare și uniformă.

Mai mult, metoda propusă a fost validată pe două variante de algoritmi de machine learning, mai precis pe rețele neuronale și proces Gaussian. Această abordare a fost justificată de timpul mare de antrenare în cazul seturilor de date mari pentru procesul Gaussian. Ulterior, pe baza rezultatelor obținute schemele de esantionare au fost extinse la variante multi-răspuns pentru a accelera procesul de antrenare al modelelor și a obține o caracterizare completă a circuitelor modelate.

În cele din urmă, modelele dezvoltate au fost utilizate în două aplicații cheie din procesul de proiectare al circuitelor integrate analogice, primul fiind vizualizarea spațiului parametrilor, ce este util în cazul găsirii limitelor tehnologice sau topologice ale unui circuit iar cea de a doua aplicație a fost optimizarea unui circuit pe baza parametrilor impuși ambele aplicații având rezultate favorabile.

5.1 Contributii

Principalele contributii prezentate in teza sunt evidentiata mai jos:

- Implementarea functiilor de test gasite in literatura pentru validarea metodei implementate cu „active learning”.
- Comparatie intre rezultatele preliminare folosind functiile surogat si circuite de test in ceea ce priveste modelarea folosind metodele „active learning”.
- O analiza a impactului setului initial de punct si zgomotului in setul de date a fost facuta pentru strabilirea influentei in cazul esationarii.
- Implementarea si comparatia intre mai multe modele dezvoltate cu ajutorul mai multor algoritmi de machine learning (rețele neurale si process Gaussian) ca si alternativa pentru seturile mari de date
- Dezvoltarea a schemelor distincte de esationare pentru a lua in considerare mai multi parametri ai circuitului.
- Utilizarea modelelor create in aplicatii cheie din domeniul proiectarii circuitelor integrate

5.2 Imbunatatiri

In ceea ce priveste imbunatatirile, am identificat cateva zone cheie in care cercetarea poate fi facuta:

- In prima faza, imbunatatiri pot fi aduse prin implementarea unei scheme de esationare multi-punct („batch sampling”). Astfel dezvoltarea unei metode ce poate gasi maxime locale pentru a fi esationate ar fi de interes.
- Realizare unui sistem ce ar putea prezice si anumite forme de unda in domeniul frecventa sau in domeniul timp pentru o mai buna caracterizare a comportamentului
- O comparatie privind resursele folosite intre model si simulator in ceea ce priveste timp total de executie, buget de simulare si rezultate per total.

5.2 Publicatii

V. Grosu, E. David, L. Goras and G. Pelz, "Modelling Integrated Circuit Behavior using an Active Learning Approach based on Gaussian Process Regression," in *International Semiconductor Conference (CAS)*, Sinaia, Romania 2023.

V. Grosu, L. Goras, E. David and G. Pelz, "Using Neural Network Based Active Learning for Modelling Integrated Circuits Behavior," in *International Symposium on Signals, Circuits and Systems (ISSCS)*, Iasi, Romania 2023.

A. Rusu, E. David, M. Țopa, **V. Grosu**, A. Buzo and G. Pelz, "Improvement and Performance Evaluation of an Adaptive Method for Integrated Circuits Pre-silicon Verification," in *International Symposium on Signals, Circuits and Systems (ISSCS)*, Iasi, Romania 2023.

V. Grosu, E. David, L. Goras and G. Pelz, "Multiple Output Modelling of Integrated Circuits Behavior Using an Active Learning Approach," in *International Conference on Synthesis, Modeling, Analysis and Simulation Methods, and Applications to Circuit Design (SMACD)*, Volos, Greece 2024.

V. Grosu, E. David, L. Goras and G. Pelz, "On the Modelling Possibilities of Integrated Circuits Behavior Using Active Learning Principles", in *Romanian Journal of Information Science and Technology (ROMJIST)*, Vol. 28(2), 2024.

A. Rusu, E. David, M. Țopa, **V. Grosu**, A. Buzo and G. Pelz, " On Approaching Multivariate IC Pre-silicon Verification Using ML-based Adaptive Algorithms" in 30th IEEE International Symposium on On-Line Testing and Robust System Design (*IOLTS*), Rennes, France, 2024.

A. Rusu, E. David, **V. Grosu**, M. Țopa, A. Buzo, B. Carbunescu and G. Pelz., "On Multivariate Electrical Performance Machine Learning Driven Pre-Silicon IC Adaptive Verification," in *IEEE Access*, vol. 12, pp. 136436-136450, 2024,

Bibliografie

- [1] P. Prajapati și M. Shah, „Automated Sizing Methodology for CMOS Miller Operational Transconductance Amplifier,” în *Soft Computing: Theories and Applications. Advances in Intelligent Systems and Computing*, 2017.
- [2] M. Fukuda, T. Ishii și N. Takai, „Op-Amp sizing by inference of element values using machine learning,” în *International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS)*, Xiamen, China, 2017.
- [3] W. Lyu, F. Yang, C. Yan, D. Zhou și X. Zeng, „Multi-objective bayesian optimization for analog/RF circuit synthesis,” în *Proceedings of the 55th Annual Design Automation Conference*, 2018.
- [4] G. İslamoğlu, T. O. Çakici, E. Afacan și D. Günhan, „Artificial Neural Network Assisted Analog IC Sizing Tool,” în *16th International Conference on Synthesis, Modeling, Analysis and Simulation Methods and Applications to Circuit Design (SMACD)*, Lausanne, Switzerland, 2019.
- [5] B. He, S. Zhang, F. Yang, C. Yan, D. Zhou și X. Zeng, „An Efficient Bayesian Optimization Approach for Analog Circuit Synthesis via Sparse Gaussian Process Modeling,” în *2020 Design, Automation & Test in Europe Conference & Exhibition (DATE)*, Grenoble, France, 2020.
- [6] P. Projapati și M. Shah, „Automatic Circuit Design of CMOS Miller OTA Using Cuckoo Search Algorithm,” *International Journal of Applied Metaheuristic Computing (IJAMC)*, vol. 11, nr. 1, pp. 36-40, 2020.
- [7] J. Huang, S. Zhang, C. Tao, F. Yang, C. Yan, D. Zhou și X. Zeng, „Bayesian optimization approach for analog circuit design using multi-task Gaussian process,” în *International symposium on Circuits and Systems(ISCAS)*, 2021.
- [8] C. Visan, M. Sieberer și H. Cucu, „Designer-like Automated Circuit Sizing for Multi-loop LDO,” în *International Semiconductor Conference (CAS)*, Sinaia, Romania, 2023.
- [9] C. Visan, O. Pascu, M. Stanescu, D.-E. Sandru, C. Diaconu, A. Buzo, G. Pelz și H. Cucu, „Automated circuit sizing with multi-objective optimization based on differential evolution and Bayesian inference,” *Knowledge-Based Systems*, vol. 258, 2022.
- [10] A. Liberni, M. A. Marktani, A. Ahaitouf și A. Ahaitouf, „Analog circuit sizing based on Evolutionary Algorithms and deep learning,” *Expert Systems with Applications*, vol. 237, 2024.
- [11] P.-O. Beaulieu, E. Dumesnil, F. Nabki și M. Boukadoum, „Analog RF Circuit Sizing by a

- Cascade of Shallow Neural Networks,” *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 42, nr. 12, pp. 4391-4401, 2023.
- [12] J. Gao, W. Cao și X. Zhang, „RoSE: Robust Analog Circuit Parameter Optimization with Sampling-Efficient Reinforcement Learning,” în *60th ACM/IEEE Design Automation Conference (DAC)*, San Francisco, CA, USA, 2023.
- [13] Z. Li și A. C. Carusone, „Design and Optimization of Low-Dropout Voltage Regulator Using Relational Graph Neural Network and Reinforcement Learning in Open-Source SKY130 Process,” în *2023 IEEE/ACM International Conference on Computer Aided Design (ICCAD)*, San Francisco, CA, USA, 2023.
- [14] Y. Li, Y. Wang, Y. Li, R. Zhou și Z. Lin, „An Artificial Neural Network Assisted Optimization System for Analog Design Space Exploration,” *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 39, nr. 10, pp. 2640-2653, 2020.
- [15] R. Mina, G. Sakr și H. Nassif, „Enhancing Transistor Sizing in Analog IC Design using a Circuit-Focused Semi-Supervised Learning,” în *IEEE 4th International Multidisciplinary Conference on Engineering Technology (IMCET)*, Beirut, Lebanon, 2023.
- [16] Y. Uhlmann, T. Moldenhauer și J. Scheible, „Differentiable Neural Network Surrogate Models for gm/ID-based Analog IC Sizing Optimization,” în *ACM/IEEE 5th Workshop on Machine Learning for CAD (MLCAD)*, Snowbird, UT, USA, 2023.
- [17] Z. Zhao și L. Zhang, „Deep Reinforcement Learning for Analog Circuit Sizing,” în *2020 IEEE International Symposium on Circuits and Systems (ISCAS)*, Seville, Spain, 2020.
- [18] N. Kahraman și T. Yildirim, „Technology Independent Automated Sizing Methodology Based on Artificial Neural Networks: An Application to CMOS OPAMP Design,” în *2014 International Conference on Computational Science and Computational Intelligence*, Las Vegas, NV, USA, 2014.
- [19] W. Lyu, F. Yang, C. Yan, D. Zhou și X. Zeng, „Batch Bayesian Optimization via Multi-objective Acquisition Ensemble for Automated Analog Circuit Design,” în *Proceedings of the 35th International Conference on Machine Learning*, 2018.
- [20] N. Lourenço, E. Afacan, R. Martins, F. Passos, A. Canelas, R. Póvoa, N. Horta and G. Dunder, "Using polynomial regression and artificial neural networks for reusable analog ic sizing," in *2019 16th International Conference on Synthesis, Modeling, Analysis and Simulation Methods and Applications to Circuit Design (SMACD)*, Lausanne, Switzerland, 2019.
- [21] T. Nobukazu și M. Fukuda, „Prediction of element values of OPamp for required specifications utilizing deep learning,” în *2017 International Symposium on Electronics and*

Smart Devices (ISESD), 2017.

- [22] K. Nihan și T. Yildirim, „Technology independent circuit sizing for fundamental analog circuits using artificial neural networks,” în *2008 Ph. D. Research in Microelectronics and Electronics*, 2008.
- [23] A. C. Sanabria-Borbón, S. Soto-Aguilar, J. Estrada-López, D. Allaire și E. Sánchez-Sinencio, „Gaussian-Process-Based Surrogate for Optimization-Aided and Process-Variations-Aware Analog Circuit Design,” *Electronics*, vol. 9, nr. 4, p. 685, 2020.
- [24] A. Adir, S. Coptý, S. Landa, A. Nahir, G. Shurek, A. Ziv, C. Meissner și J. Schumann, „A unified methodology for pre-silicon verification and post-silicon validation,” în *2011 Design, Automation & Test in Europe*, Grenoble, France, 2011.
- [25] C. Zhuo, B. Yu și D. Gao, „Accelerating chip design with machine learning: From pre-silicon to post-silicon,” în *2017 30th IEEE International System-on-Chip Conference (SOCC)*, Munich, Germany, 2017.
- [26] D. Drmanac, F. Liu și L. Wang, „Predicting variability in nanoscale lithography processes,” în *Proceedings of the 46th Annual Design Automation Conference*, New York, NY, USA, 2009.
- [27] D. Ding, A. Torres și D. Pan, „High Performance Lithography Hotspot Detection With Successively Refined Pattern Identifications and Machine Learning,” *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 30, nr. 11, pp. 1621-1634, 2011.
- [28] D. Ding, B. Yu, J. Ghosh și D. Pan, „EPIC: Efficient prediction of IC manufacturing hotspots with a unified meta-classification formulation,” în *17th Asia and South Pacific Design Automation Conference*, Sydney, NSW, Australia, 2012.
- [29] Y.-T. Yu, G.-H. Lin, I. Jiang și C. Chiang, „Machine-learning-based hotspot detection using topological classification and critical feature extraction,” în *Proceedings of the 50th Annual Design Automation Conference*, Austin, TX, USA, 2013.
- [30] D. Ding, X. Wu, J. Ghosh și D. Pan, „Machine learning based lithographic hotspot detection with critical-feature extraction and classification,” în *2009 IEEE International Conference on IC Design and Technology*, Austin, TX, USA, 2009.
- [31] A. Rusu, E. David, M. Topa, V. Grosu, A. Buzo și G. Pelz, „Improvement and Performance Evaluation of an Adaptive Method for Integrated Circuits Pre-silicon Verification,” în *International Symposium on Signals, Circuits and Systems (ISSCS)*, Iasi, 2023.
- [32] A. Rusu, E. David, M. Topa, V. Grosu, A. Buzo și G. Pelz, „On Approaching Multivariate IC Pre-silicon Verification Using ML-based Adaptive Algorithms”.

- [33] A. Sandu, A. Buzo, G. Pelz și C. Burileanu, „Adaptive Methodology for Process-Voltage-Temperature Verification,” în *2020 International Semiconductor Conference (CAS)*, Sinaia, Romania, 2020.
- [34] J. Zhou, G. Cui, S. Hu, Z. Zhang, C. Yang, Z. Liu, L. Wang, C. Li și M. Sun, „Graph neural networks: A review of methods and applications,” *AI Open*, vol. 1, pp. 57-81, 2020.
- [35] K. Zhu, M. Liu, T. Lin, B. Xu, S. Li, X. Tang, N. Sun și D. Pan, „GeniusRoute: A New Analog Routing Paradigm Using Generative Neural Network Guidance,” în *2019 IEEE/ACM International Conference on Computer-Aided Design (ICCAD)*, Westminster, CO, USA, 2019.
- [36] G. Huang, J. Hu, Y. He, J. Liu, M. Ma, Z. Shen, J. Wu, Y. Xu, H. Zhang, K. Zhong, X. Ning, Y. Ma, H. Yang, B. Yu, H. Yang și Y. Wang, „Machine Learning for Electronic Design Automation: A Survey,” *ACM Transactions on Design Automation of Electronic Systems*, vol. 26, nr. 5, pp. 1-46, 2021.
- [37] Y. Li, Y. Lin, Madhusudan, A. Sharma, W. Xu, S. Sapatnekar, R. Harjani și J. Hu, „Exploring a Machine Learning Approach to Performance Driven Analog IC Placement,” în *2020 IEEE Computer Society Annual Symposium on VLSI (ISVLSI)*, Limassol, Cyprus, 2020.
- [38] B. Shahriari, K. Swesky, Z. Wang, R. Adams și N. de Freitas, „Taking the Human Out of the Loop: A Review of Bayesian Optimization,” *Proceedings of the IEEE*, vol. 104, nr. 1, pp. 148-175, 2016.
- [39] S. Krishna, „The Figura of Merit of a Semiconductor Power Electronics Switch,” *IEEE Transactions on Electron Devices*, vol. 65, pp. 4216-4224, Oct 2018.
- [40] Semiconductor Module User's Guide, Version 5.3a, Stockholm, Sweden,: COMSOL Multiphysics, 2017.
- [41] L. Chen și H. Bagci, „Steady-State Simulation of Semiconductor Devices Using Discontinuous Galerkin Methods,” *IEEE Access* 8, 2020.
- [42] G. A. Rincón-Mora, Analog IC Design with Low-Dropout Regulators, The McGraw-Hill Companies, 2009.
- [43] R. Tantawy și E. Brauer, „Performance evaluation of CMOS low drop-out voltage regulators,” în *47th Midwest Symposium on Circuits and Systems*, 2004.
- [44] J. Huijsing, Operational Amplifiers - Theory and Design, Springer Netherlands, 2011.
- [45] M. M. Alam, S. Chowdhury, B. Park, D. Munzer, D. Maghari, N. Maghari, M. Tehranipoor și D. Forte, „Challenges and Opportunities in Analog and Mixed Signal (AMS) Integrated

- Circuit (IC) Security,” *Journal of Hardware and Systems Security*, vol. 2, pp. 15-32, 2018.
- [46] H. Ren, G. Kokai, W. Turner și T.-S. Ku, „ParaGraph: Layout Parasitics and Device Parameter,” în *57th ACM/IEEE Design Automation Conference (DAC)*, San Francisco, CA, USA,, 2020.
- [47] V. Grosu, E. David, L. Goras și G. Pelz, „Modelling Integrated Circuit Behavior using an Active Learning Approach based on Gaussian Process Regression,” în *International Semiconductor Conference (CAS)*, Sinaia, 2023.
- [48] V. Grosu, L. Goras, E. David și G. Pelz, „Using Neural Network Based Active Learning for Modelling Integrated Circuits Behavior,” în *International Symposium on Signals, Circuits and Systems (ISSCS)*, Iasi, 2023.
- [49] M. Shcherbakov, A. Brebels, N. Shcherbakova, A. Tyukov, T. Janovsky și K. Valeriy, „A Survey of Forecast Error Measures,” *World Applied Sciences Journal*, vol. 24, pp. 171-176, 2013.
- [50] V. Kamble și S. Deshmukh, „Comparision Between Accuracy and MSE,RMSE by Using Proposed Method with Imputation Technique,” *Oriental Journal of Computer Science and Technology*, 2017.
- [51] T. Hodson, „Root-mean-square error (RMSE) or mean absolute error (MAE):,” *Geoscientific Model Development Journal*, 2022.
- [52] C. Willmott, „Some Comments on the Evaluation of Model Performance,” *Bulletin of the American Meteorological Society*, vol. 63, nr. 11, pp. 1309-1313, 1982.
- [53] D. Chicco, M. Warrens și G. Jurman, „The coefficient of determination R-squared is more informative than SMAPE, MAE, MAPE, MSE and RMSE in regression analysis evaluation,” *PeerJ Computer Science*, 2021.
- [54] V. Plevris și G. Solorzano, „A Collection of 30 Multidimensional Functions for Global Optimization Benchmarking,” *Data*, vol. 7, nr. 4, 2022.
- [55] M. Laguna și R. Marti, „Experimental Testing of Advanced Scatter Search Designs for Global Optimization of Multimodal Functions,” *Journal of Global Optimization*, vol. 33, pp. 235-255, 2005.
- [56] M. Molga și C. Smutnicki, „Test functions for optimization needs,” 2005.
- [57] V. Picheny, T. Wagner și D. Ginsbourger, „A benchmark of kriging-based infill criteria for noisy optimization,” *Structural and Multidisciplinary Optimization*, vol. 48, pp. 607-626, 2013.
- [58] H. Zumbahlen, Sallen-Key filters, Analog Devices Mini Tutorial MT-22, 2012.

- [59] E. J. de Fortuny și D. Martens, „Active Learning-Based Pedagogical Rule Extraction,” *IEEE Transaction on Neural Networks and Learning Systems*, vol. 26, 2015.
- [60] D. Wu, C.-T. Lin și J. Huang, „Active learning for regression using greedy sampling,” *Information Sciences*, vol. 474, pp. 90-105, 2019.
- [61] M. Wang, „Efficient yield optimization for analog and SRAM circuits via Gaussian process regression and adaptive yield estimation,” în *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 2017.
- [62] C. E. Rasmussen și C. Williams, *Gaussian Processes for Machine Learning*, MIT Press, 2006.
- [63] E. Pasolli și F. Melgani, „Gaussian process regression within an active learning scheme,” în *IEEE International Geoscience and Remote Sensing Symposium*, 2011.
- [64] T. Nguyen și J. Schutt-Aine, „Gaussian Process surrogate model for variability analysis of RF circuits,” în *IEEE Electrical Design of Advanced Packaging and Systems (EDAPS)*, 2020.
- [65] A. Kapor, K. Grauman, R. Urtasun și T. Darrell, „Active learning with Gaussian process for object categorization,” în *IEEE 11th international conference on computer vision*, 2007.
- [66] S. Haykin, *Neural networks and learning machines*, Pearson Education India, 2009.
- [67] L. Haitao, O. Yew-Soon și C. Jianfei, „A survey of adaptive sampling for global metamodeling in support of simulation-based complex engineering design,” *Structural and Multidisciplinary Optimization*, 2018.
- [68] J. Fuhg, A. Fau și U. Nackenhorst , „State-of-the-Art and Comparative Review of Adaptive Sampling Methods for Kriging,” *Archives of Computational Methods in Engineering*, vol. 28, nr. 4, pp. 2689-2747, 2021.
- [69] A. Bemporad, „Active Learning for Regression by Inverse Distance Weighting,” 2022.
- [70] B. Settles, „Active Learning literature survey,” University of Wisconsin-Madison, 2009.
- [71] J. Bergstra, R. Bardenet, Y. Bengio și B. Kegl, „Algorithms for Hyper-Parameter Optimization,” în *Advances in Neural Information Processing Systems 24 (NIPS 2011)*, 2011.
- [72] J. More, „The Levenberg-Marquardt algorithm: Implementation and theory,” în *Numerical Analysis. Lecture Notes in Mathematics*, 1978.
- [73] S. Mitra, S. Seshia și N. Nicolici, „Post-silicon validation opportunities, challenges and recent advances,” în *Proceedings of the 47th Design Automation Conference*, 2010.

- [74] P. Mishra, R. Morad, A. Ziv și S. Ray, „Post-Silicon Validation in the SoC Era: A Tutorial Introduction,” *IEEE Design & Test*, vol. 34, nr. 3, pp. 68-92, 2017.
- [75] A. DeOrio, Q. Li, M. Burgess și V. Bertacco, „Machine learning-based anomaly detection for post-silicon bug diagnosis,” în *2013 Design, Automation & Test in Europe Conference & Exhibition (DATE)*, Grenoble, France, 2013.
- [76] E. Mandouh și A. Wassal, „Application of Machine Learning Techniques in Post-Silicon Debugging and Bug Localization,” *Journal of Electronic Testing*, vol. 34, pp. 163-181, 2018.
- [77] S. Sadiqbatcha, J. Zhang, H. Zhao, H. Amrouch, J. Henkel și S. Tan, „Post-Silicon Heat-Source Identification and Machine-Learning-Based Thermal Modeling Using Infrared Thermal Imaging,” *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 30, nr. 4, pp. 694-707, 2021.
- [78] H. Amrouch, K. Chakrabarty, D. Pfluger, I. Polian, I. Sauer, M. Sauer și M. Reorda, „Machine Learning for Test, Diagnosis, Post-Silicon Validation and Yield Optimization,” în *2022 IEEE European Test Symposium (ETS)*, Barcelona, Spain, 2022.
- [79] M. Inc., *MATLAB*, Natick, Massachusetts, USA: The MathWorks Inc., 2022.
- [80] G. Van Rossum și F. Drake, *Python 3 Reference Manual*, Scotts Valley, CA, USA: CreateSpace, 2009.
- [81] H. Abbass, R. Sarker și C. Newton, „PDE: a Pareto-frontier differential evolution approach for multi-objective optimization problems,” în *Proceedings of the 2001 Congress on Evolutionary Computation (IEEE Cat. No.01TH8546)*, Seoul, South Korea, 2001.
- [82] L. Ding, X. Cai, M. Gao, R. Xia și Y. Gao, „A high reliability under-voltage lock out circuit for power driver IC,” *Integration*, vol. 88, pp. 166-172, 2023.
- [83] M. Zhou, H. Lv, Y. Zhang, S. Xu și Y. Zhang, „High-speed gate driver circuit of SiC-MOSFET for high temperature application,” *IET Power Electronics*, vol. 13, nr. 17, pp. 3851-3860, 2021.
- [84] A. Souza, L. Oliviera și L. Nardi, „Multi-Objective Bayesian Optimization Framework with Random Scalarizations,” *Computer Science, Mathematics, Engineering*, 2019.